

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

---

**~~IMAGES ARE BEST AVAILABLE COPY.~~**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

(11) 特許出願公開番号

特開平7-281161

(43)公開日 平成7年(1995)10月27日

(51) Int.Cl.<sup>5</sup>

G 0 2 F 1/1333

1/1333

1/133

1/1345

識別記号

厅内整理番号

505

FI

### 技術表示箇所

審査請求 未請求 請求項の数14 O L (全 32 頁)

(21)出願番号 特願平6-75072

(22)出願日 平成6年(1994)4月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 今城 由博

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72)発明者 鳥山 良男

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74)代理人 弁理士 中村 純之助

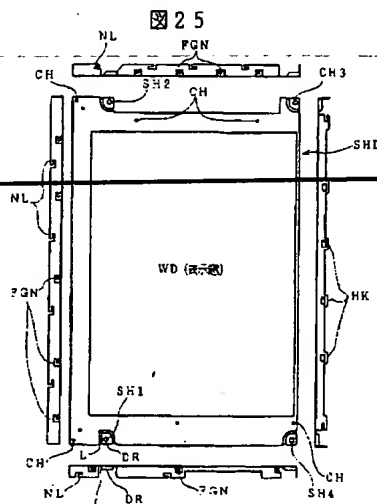
[最終頁に続く](#)

(54)【発明の名称】 液晶表示装置

(57) 【要約】

【構成】金属製シールドケース（SHD）の側面に一体に形成した爪（FGN）を、回路基板（PCB1～3）の面上のグランド配線に接続したフレームグランドパッド（FGP）と半田付けにより接続した構成。

【効果】有害な輻射電波の発生を抑制することができ、かつ、爪の折り曲げと半田付けの作業性を向上することができ、接触信頼性を向上することができる。



【特許請求の範囲】

【請求項 1】 回路基板の少なくとも 1 箇所にフレームグラ  
ランドパッドを設け、かつ、金属製シールドケースの側  
面に一体に形成した爪を前記フレームグラランドパッドに  
接続したことを特徴とする液晶表示装置。

【請求項 2】 液晶表示パネルと、前記液晶表示パネルの  
2 方、3 方または 4 方の外周部に設けた回路基板と、前  
記液晶表示パネル、前記回路基板を収納し、前記液晶表  
示パネルを外部に露出させるための表示窓を有する金属  
製シールドケースとを含んで成り、前記回路基板の少な  
くとも 1 箇所にフレームグラランドパッドを設け、かつ、  
前記シールドケースの側面に一体に形成した爪を前記フ  
レームグラランドパッドに接続したことを特徴とする液晶  
表示装置。

【請求項 3】 前記爪を前記側面の一部を切断して形成  
し、かつ、前記爪を前記液晶表示装置の内部に向かう方  
向に折り曲げて接続したことを特徴とする請求項 1 また  
は 2 記載の液晶表示装置。

【請求項 4】 前記爪と前記フレームグラランドパッドとを  
半田付けにより接続したことを特徴とする請求項 1 また  
は 2 記載の液晶表示装置。

【請求項 5】 前記回路基板が複数枚に分割されているこ  
とを特徴とする請求項 1 または 2 記載の液晶表示装置。

【請求項 6】 液晶表示パネルの第 1 の辺の外側に配置し  
た信号線駆動用の第 1 の回路基板と、前記第 1 の辺と隣  
接する前記第 1 の辺と垂直の第 2 の辺の外側に配置さ  
れ、外部との接続用コネクタを有する第 2 の回路基板  
と、前記液晶表示パネルと前記第 1 の回路基板と前記第  
2 の回路基板とを含んで収納し、そのコーナー近傍に取  
付穴を設けたケースとを有し、前記第 2 の回路基板の前  
記第 1 の回路基板と違い方の端部に高さの低い電子部品  
を設け、かつ、前記電子部品の前記端部から離れる方向  
の隣に前記コネクタを配置したことを特徴とする液晶表  
示装置。

【請求項 7】 液晶表示パネルの第 1 の辺の外側に配置し  
た信号線駆動用の第 1 の回路基板と、前記第 1 の辺と隣  
接する前記第 1 の辺と垂直の第 2 の辺の外側に配置さ  
れ、外部との接続用コネクタを有する第 2 の回路基板  
と、前記液晶表示パネルと前記第 1 および第 2 の回路基  
板とを含んで収納し、そのコーナー近傍に第 1 の取付穴  
を設けた第 1 のケースと、前記液晶表示パネルの下に設  
けたバックライトと、前記バックライトを収納し、前記  
第 1 の取付穴と一致する第 2 の取付穴を設けた第 2 のケ  
ースとを有し、前記第 1 のケースと前記第 2 のケースと  
が一体化されて成り、前記第 2 の回路基板の前記第 1 の  
回路基板と違い方の端部に高さの低い電子部品を設け、  
かつ、前記電子部品の前記端部から離れる方向の隣に前  
記コネクタを配置したことを特徴とする液晶表示装置。

【請求項 8】 前記第 1 の回路基板が配置された前記液晶  
表示パネルの前記第 1 の辺と対向する第 3 の辺の外側に

は、回路基板が配置されていないことを特徴とする請求  
項 6 または 7 記載の液晶表示装置。

【請求項 9】 前記第 1 の回路基板が映像信号線駆動用回  
路基板であり、前記第 2 の回路基板を配置した前記液晶  
表示パネルの前記第 2 の辺と対向する第 4 の辺に走査信  
号線駆動用回路基板を配置したことを特徴とする請求項  
6、7 または 8 記載の液晶表示装置。

【請求項 10】 前記第 2 の回路基板が、電源回路と変換  
回路とを設けたインターフェイス回路基板であることを  
特徴とする請求項 6、7、8 または 9 記載の液晶表示装  
置。

【請求項 11】 前記高さの低い電子部品が信号源集積回  
路であることを特徴とする請求項 6 または 7 記載の液晶  
表示装置。

【請求項 12】 EMI 対策用の複数個の電子部品を回路  
基板上に集中して配置したことを特徴とする液晶表示装  
置。

【請求項 13】 EMI 対策用の複数個のコンデンサ・抵  
抗を、信号源集積回路から違い、かつ、駆動 IC チップ  
の信号流れ方向の下流側の回路基板の端部に集中して配  
置したことを特徴とする液晶表示装置。

【請求項 14】 液晶表示パネルの外周部の 2 方、3 方ま  
たは 4 方に配置した回路基板を有する液晶表示装置にお  
いて、EMI 対策用の複数個のコンデンサ・抵抗を、信  
号源集積回路から違い、かつ、駆動 IC チップの信号流  
れ方向の下流側の前記回路基板の端部に集中して配置し  
たことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示パネルの駆動  
用の回路基板を有する液晶表示装置に係り、特に、液晶  
表示パネルの外周部に、外部のパソコン等との接続用コ  
ネクタを設けた回路基板と、信号線駆動用の回路基板と  
を有し、また、有害な輻射電波の発生を抑制する技術に  
関する。

【0002】

【従来の技術】 アクティブ・マトリクス方式の液晶表示  
装置は、マトリクス状に配列された複数の画素電極のそ  
れぞれに対応して非線形素子（スイッチング素子）を設  
けたものである。各画素における液晶は理論的には常時  
駆動（デューティ比 1.0）されているので、時分割駆動  
方式を採用している、いわゆる単純マトリクス方式と比  
べてアクティブ方式はコントラストが良く、特にカラー  
液晶表示装置では欠かせない技術となりつつある。スイ  
ッチング素子として代表的なものとしては薄膜トランジ  
スタ（TFT）がある。

【0003】 液晶表示装置は、例えば、透明導電膜から  
成る表示用画素電極と配向膜等をそれぞれ積層した面が  
対向するように所定の間隔を隔てて 2 枚の透明ガラス基  
板を重ね合わせ、該両基板間の縁部に枠状に設けたシー

ル材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに両基板の外側に偏光板を設置または貼り付けて成る液晶表示パネル（液晶表示素子）と、液晶表示パネルの外周部の外側に配置され、液晶駆動用回路が形成された回路基板と、これらの各部材を保持するモールド成型品である中間フレームと、これらの各部材を収納し、液晶表示窓がつけられた金属製シールドケースと、液晶表示パネルの下に配置され、液晶表示パネルに光を供給するバックライト等を含んで構成されている。

【0004】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭63-309921号公報や、「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193~210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【0005】

【発明が解決しようとする課題】液晶表示装置からEMI（エレクトロ マグネティック インタフィアレンス）を引き起こす有害な輻射電波が発生する問題がある。

【0006】これを防止するために、液晶表示パネルの外周部に配置した回路基板の面上に、グランド配線に接続されたフレームグランドパッドを設け、かつ、金属製シールドケースの一部を切り欠いて一体に形成した爪（細長い突起部）を前記フレームグランドパッドに半田付けにより接続する技術が、特願平4-53496号に提案されている。この技術では、回路基板のグランド配線がインピーダンスの十分低い共通の金属製シールドケースに接続されるので、高周波領域におけるグランド配線が強化され、有害な輻射電波の発生を抑制することができる。しかし、この従来技術では、シールドケースの上面（画面の回りのいわゆる顔縁部）に爪が設けてあるので、爪を回路基板に向けて折り曲げるときに、爪が回路基板に当たってしまい、折り曲げの作業性が悪い問題があった。また、爪をシールドケースの上面に設けていたので、爪を回路基板のフレームグランドパッドに半田付けする場合は、回路基板を覆うようにシールドケースを取り付けた後、爪の回りの小さな開口部から行わなくてはならず、半田付けの作業性が悪い問題があった。

【0007】また、従来の液晶表示装置では、映像信号線を液晶表示パネルの上下に交互に引き出し、この引き出された映像信号線の入力端と接続する2枚の映像信号線駆動用回路基板を液晶表示パネルの外周部の上下両側にそれぞれ配置し、外部のパソコン等から入って来て当該装置内を流れる信号の流れに沿って電子部品を配置していたため、インターフェイス回路基板の中央部に、パソコン等と接続するためのコネクタと、信号源集積回路が配置されていた。ところで、映像信号線駆動用回路基板を液晶表示パネルの片側のみに配置する場合、上記

方式の信号の流れに沿った電子部品配置を取ると、インターフェイス回路基板の映像信号線駆動用回路基板から遠い方の端部、すなわち、液晶表示パネルや回路基板を収納する金属製シールドケースのコーナーに一番近い端部にコネクタを配置し、その次に、該コーナーから離れる方向の隣に信号源集積回路を配置するというレイアウトとなる。ここで、コネクタをインターフェイス回路基板の一端、すなわち、シールドケースのコーナー近傍に配置しようとする、コネクタの上はパソコン等と接続するために、金属製シールドケースと合体する一体成型により形成されたモールドケースで覆うことができないので、取付穴を有する金属製シールドケースのコーナーを、一致する取付穴を有するモールドケースで覆い、ねじ等を取付穴を通して固定することができなくなり、機械的強度が低下してしまい、信頼性が低下するという問題がある。

【0008】さらに、従来は、EMIを引き起こす不要な輻射電波の発生を抑えるために、信号波形をなまらせるための複数個の抵抗・コンデンサが、信号源集積回路の近く、あるいは信号の伝送経路の途中などに分散して配置されていた。したがって、信号源集積回路の付近や、駆動用ICチップを搭載した複数個のテープキャリアパッケージ間などに、該抵抗・コンデンサを設けるためのスペースが何箇所も必要なため、デッドスペースが大きくなり、電子部品を高密度に実装することができなかった。

【0009】本発明の第1の目的は、有害な輻射電波の発生を抑制することができる液晶表示装置を提供することにある。

【0010】本発明の第2の目的は、シールドケースと一体に設けた爪の折り曲げと半田付けの作業性のよい液晶表示装置を提供することにある。

【0011】本発明の第3の目的は、機械的強度が大きく、信頼性の高い液晶表示装置を提供することにある。

【0012】本発明の第4の目的は、EMI対策用の抵抗・コンデンサを設ける際、デッドスペースを低減し、電子部品を高密度に実装することができる液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】上記第1、第2の課題を解決するために、本発明の液晶表示装置は、回路基板の少なくとも1箇所にフレームグランドパッドを設け、かつ、金属製シールドケースの側面に一体に形成された爪を前記フレームグランドパッドに接続したことを特徴とする。

【0014】また、液晶表示パネルと、前記液晶表示パネルの2方、3方または4方の外周部に設けた回路基板と、前記液晶表示パネル、前記回路基板を収納し、前記液晶表示パネルを外側に露出させるための表示窓を有する金属製シールドケースとを含んで成り、前記回路基板

の少なくとも1箇所にフレームグランドパッドを設け、かつ、前記シールドケースの側面に一体に形成した爪を前記フレームグランドパッドに接続したことを特徴とする。

【0015】また、前記爪を前記側面の一部が切断して形成し、かつ、前記爪を前記液晶表示装置の内部に向かう方向に折り曲げて接続したことを特徴とする。

【0016】また、前記爪と前記フレームグランドパッドとが半田付けにより接続されていることを特徴とする。

【0017】さらに、前記回路基板が複数枚に分割されていることを特徴とする。

【0018】上記第3の課題を解決するために、本発明は、液晶表示パネルの第1の辺の外側に配置した信号線駆動用の第1の回路基板と、前記第1の辺と隣接する前記第1の辺と垂直の第2の辺の外側に配置され、外部との接続用コネクタを有する第2の回路基板と、前記液晶表示パネルと前記第1の回路基板と前記第2の回路基板とを含んで収納し、そのコーナー近傍に取付穴を設けたケースとを有し、前記第2の回路基板の前記第1の回路基板と遠い方の端部に高さの低い電子部品を設け、かつ、前記電子部品の前記端部から離れる方向の隣に前記コネクタを配置したことを特徴とする。

【0019】また、液晶表示パネルの第1の辺の外側に配置した信号線駆動用の第1の回路基板と、前記第1の辺と隣接する前記第1の辺と垂直の第2の辺の外側に配置され、外部との接続用コネクタを有する第2の回路基板と、前記液晶表示パネルと前記第1および第2の回路基板とを含んで収納し、そのコーナー近傍に第1の取付穴を設けた第1のケースと、前記液晶表示パネルの下に設けたバックライトと、前記バックライトを収納し、前記第1の取付穴と一致する第2の取付穴を設けた第2のケースとを有し、前記第1のケースと前記第2のケースとが一体化されて成り、前記第2の回路基板の前記第1の回路基板と遠い方の端部に高さの低い電子部品を設け、かつ、前記電子部品の前記端部から離れる方向の隣に前記コネクタを配置したことを特徴とする。

【0020】また、前記第1の回路基板が配置された前記液晶表示パネルの前記第1の辺と対向する第3の辺の外側には、回路基板が配置されていないことを特徴とする。

【0021】また、前記第1の回路基板が映像信号線駆動用回路基板であり、前記第2の回路基板を配置した前記液晶表示パネルの前記第2の辺と対向する第4の辺に走査信号線駆動用回路基板を配置したことを特徴とする。

【0022】また、前記第2の回路基板が、電源回路と変換回路とを設けたインターフェイス回路基板であることを特徴とする。

【0023】さらに、前記高さの低い電子部品が信号源

集積回路であることを特徴とする。

【0024】上記第4の課題を解決するために、本発明は、EMI対策用の複数個の電子部品を回路基板上に集中して配置したことを特徴とする。

【0025】また、EMI対策用の複数個のコンデンサ・抵抗を、信号源集積回路から遠い、かつ、駆動ICチップの信号流れ方向の下流側の回路基板の端部に集中して配置したことを特徴とする。

【0026】さらに、液晶表示パネルの外周部の2方、3方または4方に配置した回路基板を有する液晶表示装置において、EMI対策用の複数個のコンデンサ・抵抗を、信号源集積回路から遠い、かつ、駆動ICチップの信号流れ方向の下流側の前記回路基板の端部に集中して配置したことを特徴とする。

【0027】

【作用】本発明の液晶表示装置では、グランド配線に接続され、回路基板の面上に設けたフレームグランドパッドに、金属製シールドケースを切り欠いて一体に形成した爪を接続したので、グランド配線がインピーダンスの十分低い共通の金属製シールドケースに接続されるため、高周波領域におけるグランド配線が強化され、有害な輻射電波の発生を抑制することができる。

【0028】また、爪をシールドケースの側面に設けたので、上面に設けた場合と比べて爪を折り曲げるときに、爪が回路基板に当たらないので、作業性がよい。また、爪をフレームグランドパッドに半田付けする場合は、液晶表示パネルと一体化された回路基板をシールドケース内に固定した後、開放されたシールドケースの内面側から半田付け作業を行なうことができるので、半田付けの作業性もよい。

【0029】また、本発明の液晶表示装置では、信号源集積回路等の高さの低い電子部品を、外部との接続用コネクタを設けた回路基板の一端、すなわち、該回路基板と液晶表示パネルを収納するケースのコーナー近傍の該回路基板上に配置し、該コーナーから離れる方向の隣にコネクタを配置することにより、取付穴を設けたケースのコーナー近傍を前記ケースと一体の、あるいは別部品のケースによって覆うことができるので、当該装置をパソコン等の情報処理装置へ実装すると、当該装置のケースのコーナーが取付穴を介してねじ等によりしっかりと押さえられ、固定されるため、機械的強度が向上し、製品の信頼性が向上する。

【0030】さらに、本発明の液晶表示装置では、EMI対策用の複数個の電子部品を回路基板上に集中して配置したので、デッドスペースを低減することができ、電子部品を高密度に実装することができる。したがって、当該液晶表示装置を小型化、軽量化することができ、製造コストを低減することができる。

【0031】

【実施例】本発明、本発明の更に他の目的及び本発明の

更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0032】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0033】《マトリクス部の概要》図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図、図3は図2の3-3切断線における断面を示す図、図4は図2の4-4切断線における断面図である。また、図5には図2に示す画素を複数配置したときの平面図を示す。

【0034】図2に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0035】図3に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。下部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、その上にデポジットされる走査信号線GL、遮光膜BM等の膜質を均質に保つことができる。

【0036】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、色光線BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0037】《マトリクス周辺の概要》図17は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図18はその周辺部を更に誇張した平面を、図19は図17及び図18のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図20は図3の断面を中央にして、左側に図19の19a-19a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図21は、左側に走査回路が接続されるべき外部接続端子G

TM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0038】このパネルの製造では、小さいサイズであればスルーブット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図17～図19は後者の例を示すもので、図17、図18の両図とも上下基板SUB1、SUB2の切断後を、図19は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図22、図23）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0039】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口LNJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一面所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0040】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0041】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の材を積み重ね、シールパターンSLを基板SUB2

側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材S1の開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0042】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0043】各画素の薄膜トランジスタTFTは、画素内において2つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、ゲート電極GT、ゲート絶縁膜G1、i型(真性、intrinsic、導電率決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有する。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0044】《ゲート電極GT》ゲート電極GTは図6(図2の第2導電膜g2およびi型半導体層ASのみを描いた平面図)に示すように、走査信号線GLから垂直方向(図2および図6において上方向)に突出する形状で構成されている(T字形に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの駆動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム(A1)膜を用い、1000~5500Å程度の膜厚で形成する。また、ゲート電極GT上にはA1の陽極酸化膜AOFが設けられている。

【0045】このゲート電極GTは図2、図3および図6に示されているように、i型半導体層ASを完全に覆うよう(下方からみて)それより大きく形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光質等のバックライトBLを取り付けた場合、この不透明なA1からなるゲート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大

きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕も含めて)幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャネル長)Lとの比、すなわち相互コンダクタンス $gm$ を決定するファクタ $W/L$ をいくつにするかによって決められる。この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0046】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0047】《絶縁膜G1》絶縁膜G1は薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜G1はゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜G1はたとえばプラズマCVDで形成された窒化シリコン膜を用い、1200~2700Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。ゲート絶縁膜G1は図19に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。

【0048】《i型半導体層AS》i型半導体層ASは、図6に示すように、複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、200~2200Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。

【0049】このi型半導体層ASは、供給ガスの成分を変えてSi<sub>1</sub>N<sub>1</sub>からなるゲート絶縁膜として使用される絶縁膜G1の形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のリン(P)を2.5%ドーピングしたN(+)型半導体層d0(図3)も同様に連続して200~500Åの膜厚(この液晶表示装置では、300Å程度の膜厚)で形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)型半導体層d0およびi型半導体層ASは図2、図3および図6に示すように独立した島状にパターンニングされる。

【0050】i型半導体層ASは、図2および図6に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線



GLと映像信号線DLとの短絡を低減する。

【0051】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0052】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているため放置すれば良い。なお、2つの薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することは稀であり、このような冗長方式により点欠陥や線欠陥の確率を極めて小さくすることができる。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Iodine-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの膜厚(この液晶表示装置では、1400Å程度の膜厚)で形成される。

【0053】《ソース電極SD1、ドレイン電極SD2》複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図2、図3および図7(図2の第1~第3導電膜d1~d3のみを描いた平面図)に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

【0054】ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

【0055】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの膜厚(この液晶表示装置では、600Å程度の膜厚)で形成する。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を超えない範囲で形成する。Cr膜はN(+)型半導体層d0との接触が良好である。Cr膜は後述する第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi<sub>3</sub>、TiSi<sub>3</sub>、TaSi<sub>3</sub>、WSi<sub>3</sub>)膜を用いてもよい。

【0056】第3導電膜d3はAlのスパッタリングで3000~5000Åの膜厚(この液晶表示装置では、4000Å程度の膜厚)に形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されてい

る。第3導電膜d3として純Al膜の他にシリコンや銅(Cu)を添加物として含有させたAl膜を用いてもよい。

【0057】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0058】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、i型半導体層AS段差(第2導電膜g2の膜厚、陽極酸化膜AOFの膜厚、i型半導体層ASの膜厚およびN(+)型半導体層d0の膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差に沿って形成された第2導電膜d2と、この第2導電膜d2の上部に形成した第3導電膜d3とで構成されている。ソース電極SD1の第3導電膜d3は第2導電膜d2のCr膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第3導電膜d3は厚く形成することでステップカバレージを向上している。第3導電膜d3は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。

【0059】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD法で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0060】保護膜PSV1は図19に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜G1の厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを高くされる。従って図19に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜G1より

も大きく形成されている。

【0061】《遮光膜BM》上部透明ガラス基板SUB 2側には、外部光（図3では上方からの光）がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは図8のハッチングに示すようなパターンとされている。なお、図8は図2におけるITO膜からなる第1導電膜d1、カラーフィルタFILおよび遮光膜BMのみを描いた平面図である。遮光膜BMは光に対する遮蔽性が高いと例えばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300Å程度の膜厚に形成される。

【0062】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらない。遮光膜BMは図8のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され（ブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0063】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分（図2右下部分）が遮光膜BMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0064】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を

観察側（外部露出側）とすることもできる。

【0065】遮光膜BMは周辺部にも図18に示すように傾斜状のパターンに形成され、そのパターンはドット状に複数の開口を設けた図8に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図18～図21に示すように、シール部SLの外側に延長され、バソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0066】《カラーフィルタFIL》カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成される（図9）、染め分けられている（図9は図5の第1導電膜d1、遮光膜BMおよびカラーフィルタFILのみを描いたもので、B、R、Cの各カラーフィルタFILはそれぞれ、45°、135°、クロスのハッチを施してある）。カラーフィルタFILは図8、9に示すよ

うに透明画素電極ITO1の全てを覆うように人き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0067】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0068】《保護膜PSV2》保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0069】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）に応じて変化する。この共通透明画素電極ITO2には共通電圧Vcomが印加されるように構成されている。本実施例では、共通電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図18、図19を参照されたい。

【0070】《ゲート端子部》図10は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、（A）は平面であり（B）は（A）のB-B切断線における断面を示している。なお、同図は図19下方付近に対応し、斜め配線の部分は便宜上一直線状で表した。

【0071】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層α2は表面にその酸化物Al<sub>2</sub>O<sub>3</sub>膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに準一の直

線では交差せず、クランク状に折れ曲がって交差させている。

【0072】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は部状にパターンニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では断の根本に相当する部分もマスクAOに沿ってずらしている。

【0073】ゲート端子GTMは酸化珪素SIO層と接合性が良くA1等よりも耐電蝕性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜G1上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜G1を乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0074】平面図において、ゲート絶縁膜G1はその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図19に示すように上下に複数本並べられ端子群Tg（図18、図19）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0075】《ドレイン端子DTM》図11は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-C切面における断面を示す。なお、両図は図19の右側上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0076】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図19に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、

製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0077】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜G1を除去した部分で映像信号線DLと接続されている。ゲート絶縁膜G1の端部に形成された半導体層ASはゲート絶縁膜G1の縁をテーパー状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0078】マトリクス部からドレイン端子部DTMまでの引出配線は図20の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電離し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0079】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図2、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜G1および陽極酸化膜AOFで構成されている。

【0080】保持容量素子Caddは、図6からも明らかなように、走査信号線GLの第2導電層g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電層g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0081】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電層d2および第3導電層d3で構成された島領域によってその不良は補償される。

【0082】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の接続図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応し

て描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0083】図中、Xは映像信号線Dしを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線Gしを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0084】映像信号線X（添字省略）は上側の映像信号駆動回路Heに接続されている。すなわち、映像信号線Xは、走査信号線Yと同様に、液晶表示パネルPNLの片側のみに端子が引き出されている。

【0085】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0086】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0087】《保持容量素子Caddの等価回路とその動作》図2に示される画素の等価回路を図13に示す。図13において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIおよび隔絶酸化膜AOFである。Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0088】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 $\Delta Vg$ の影響を低減するように働く。この様子を式で表すと、次式のようになる。

【0089】

$$\Delta Vlc = (Cgs / (Cgs + Cadd + Cpix)) \times \Delta Vg$$

ここで、 $\Delta Vlc$ は $\Delta Vg$ による中点電位の変化分を表わす。この変化分 $\Delta Vlc$ は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0090】前述したように、ゲート電極GTはI型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設

けることによりこのデメリットも解消することができる。

【0091】保持容量素子Caddの保持容量は、画素の寄与特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ ）、寄生容量Cgsに対して8～32倍（ $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ ）程度の値に設定する。

【0092】《保持容量素子Cadd電極線の結線方法》保持容量電極線としてのみ使用される初段の走査信号線GL（Y<sub>0</sub>）は、図12に示すように、共通透明画素電極ITO2（Vcom）と同じ電位にする。図19の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Y<sub>0</sub>は最終段の走査信号線Yendに接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY<sub>0</sub>を受けるように接続してもよい。

【0093】《外部回路との接続構造》図22は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板（通称TAB、Tape Automated Bonding）に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図23はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0094】同図において、TBは集積回路CHIの入力端子・配線部であり、TMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TB、TMの外側の先端部（通称アウトターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM（GTM）は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電極に対して強くなる。

【0095】BF1はポリイミド等からなるベスフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールバターンSLの外側の上下ガラス基板の間隙は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0096】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図14～図16

を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す圖案部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソを除去した段階を示している。なお、写真処理とは本説明ではフォトリソの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

#### 【0097】工程A、図14

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SiO<sub>2</sub>をディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

#### 【0098】工程B、図14

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混合液で第2導電膜g2を選択的にエッチングする。

#### 【0099】工程C、図14

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりpH6.25±0.05に調整した溶液をエチレングリコール液で1:9に稀釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm<sup>2</sup>になるように調整する（定電流化成）。次に所定のAl:O<sub>2</sub>膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl:O<sub>2</sub>膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

#### 工程D、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設

ける。

#### 【0100】工程E、図15

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

#### 【0101】工程F、図15

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用して、窒化Si膜を選択的にエッチングする。

#### 【0102】工程G、図16

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混合液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

#### 【0103】工程H、図16

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl<sub>4</sub>、SF<sub>6</sub>を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

#### 【0104】工程I、図16

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0105】《液晶表示モジュールの全体構成》図1は、液晶表示モジュールMD1の分解斜視図であり、各構成部品の具体的な構成は図2a～図2cに示す。

【0106】SHDは金属板から成るシールドケース（メタルフレームとも称す）、WDは表示窓、INS1～3は絶縁シート、PCB1～3は回路基板（PCB1はドレイン側回路基板、PCB2はゲート側回路基板、PCB3はインターフェイス回路基板）、JNは回路基板PCB1～3どうしを電気的に接続するジョイナ、TCP1、TCP2はテープキャリアパッケージ、PNLは液晶表示パネル、GCはゴムクッション、ILSは遮光スペーサ、PRSはプリズムシート、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体成型により形成された下側ケース（モールドケース）、LPは蛍光管、LPCはランプケーブル、GBは蛍光管LPを支持するゴムブッシュであり、図に示すよ

うな上下の配置関係で各部材が組み重ねられて液晶表示モジュールMDLが組み立てられる。

【0107】モジュールMDLは、下側ケースMCA、シールドケースSHDの2種の収納・保持部材を有する。絶縁シートINS1～3、回路基板PCB1～3、液晶表示パネルPNLを収納、固定した金属製シールドケースSHDと、蛍光管LP、導光板GLB、プリズムシートPRS等から成るバックライトBLを収納した下側ケースMCAとを合体させることにより、モジュールMDLが組み立てられる。

【0108】以下、各部材について詳しく説明する。

【0109】《金属製シールドケースSHD》図25は、シールドケースSHDの上面、前側面、後側面、右側面、左側面を示す図であり、シールドケースSHDの斜め上方からみたときの斜視図は図1に示される。

【0110】シールドケース（メタルフレーム）SHDは、1枚の金属板をプレス加工技術により、打ち抜きと折り曲げ加工により作製される。WDは表示パネルPNLを視野に露出する開口を示し、以下表示意と称す。

【0111】NLはシールドケースSHDと下側ケースMCAとの固定用爪（全部で12個）、HKは同じく固定用のフック（全部で4個）であり、シールドケースSHDに一体に設けられている。図1、図25に示された固定用爪NLは折り曲げ前の状態で、回路基板PCB1～3をシールドケースSHDに収納した後、それぞれ内側に折り曲げられて下側ケースMCAに設けられた四角い固定用凹部NR（図37の各側面図参照）に挿入される。固定用フックHKは、それぞれ下側ケースMCAに設けた固定用突起HP（図37の側面図参照）に嵌合される。これにより、液晶表示パネルPNL、回路基板PCB1～3等を保持・収納するシールドケースSHDと、導光板GLB、蛍光管LP等を保持・収納する下側ケースMCAとがしっかりと固定される。また、表示パネルPNLの下面の表示に影響を与えない四方の縁周囲には薄く細長い長方形のゴムクッションGC（ゴムスベサとも称す。図1、図43参照）が設けられている。ゴムクッションGCは、表示パネルPNLと導光板GLBとの間に介在される。ゴムクッションGCの弾性を利用して、シールドケースSHDを装置内部方向に押し込むことにより固定用フックHKが固定用突起HPに引っかかり、また、固定用爪NLが折り曲げられ、固定用凹部NRに挿入されて、各固定用部材がストッパとして機能し、シールドケースSHDと下側ケースMCAとが固定され、モジュール全体が一体となってしっかりと保持され、他の固定用部材が不要である。従って、組立が容易で製造コストを低減できる。また、機械的強度が大きく、耐振動衝撃性が高く、装置の信頼性を向上できる。また、固定用爪NLと固定用フックHKは取り外しが容易なため（固定用爪NLの折り曲げを逆返し、固定用フックHKを外すだけ）、2部材の分解・組立が容易

なので、修理が容易で、バックライトBLの蛍光管LPの交換も容易である。また、本実施例では、図25に示すように、一方の辺を主に固定用フックHKで固定し、向かい合う他方の辺を固定用爪NLで固定しているの

で、すべての固定用爪NLを外さなくても、一部の固定用爪NLを外すだけで分解することができる。したがって、修理やバックライトの交換が容易である。

【0112】CHは、回路基板PCB1～3と共通して同じ平面位置に設けた共通貫通穴で、製造時、固定して立てたピンに、シールドケースSHDと回路基板PCB1～3とを順に各共通貫通穴CHを挿入して実装することにより、両者の相対位置を精度よく設定するためのものである。また、当該モジュールMDLをパソコン等の応用製品に実装するとき、この共通貫通穴CHを位置決め

の基準とすることができる。

【0113】FGNは金属製シールドケースSHDと一体に形成された合計12個のフレームグランド用爪で、シールドケースSHDの側面に開けられた「コ」の字状の開口、換言すれば、四角い開口中に延びた細長い突起により構成される。この細長い突起、すなわち、爪FGNが、それぞれ装置内部へ向かう方向に最元のところで折り曲げられ、回路基板PCB1～3のグランド配線（図示省略）に接続されたフレームグランドパッドFGP（図24および図27参照）に半田付けにより接続された構造になっている。なお、爪FGNをシールドケースSHDの側面に設けたので、爪FGNを装置内部へ折り曲げ、かつ、フレームグランドパッドFGPに半田付けする作業は、液晶表示パネルPNLと一体化された回路基板PCB1～3をシールドケースSHD内に収納し、固定した後、シールドケースSHDの内面（下面）を上に向けた状態で行なうことができ、作業性がよい。また、爪FGNを折り曲げるときは、爪FGNが回路基板PCB1～3に当たらないので、折り曲げの作業性がよい。また、半田付け作業では、開放されたシールドケースSHDの内面側から半田こてを当てることができるので、半田付けの作業性がよい。したがって、爪FGNとフレームグランドパッドFGPとの接続信頼性を向上することができる。

【0114】SH1～4は、当該モジュールMDLを表示部としてパソコン、ワープロ等の情報処理装置に実装するために、シールドケースSHDに設けた4個の取付穴である。下側ケースMCAにも、シールドケースSHDの取付穴SH1～4に一致する取付穴MH1～4が形成されており（図37、図38参照）、両者の取付穴にねじ等を通して情報処理装置に固定、実装する。ところで、取付穴を金属製シールドケースSHDのコーナーに設ける場合は、取付穴の絞り加工部（金属製シールドケースSHDを構成する金属板と一体で、かつ該金属板と高さが異なる平行面を成す絞り加工で作られた部分）を1/4の円形状とすることができる。しかし、回路基板

PCB3の実装部品の配置の関係上、および回路基板PCB1とPCB2の電気的接続の関係上、取付穴SHをコーナーに設けたくなく、コーナーから所定の距離離れた中間部に設けたい場合、取付穴SHDの絞り加工部DRの形状は絞り加工の割合1/4の円形状とすることができず、1/2の円形状となり、取付穴として必要な領域が大きくなってしまいます。そこで、図25に示すように、絞り加工部DRとこれに隣接する金属板との間の1/4の円形状の半径部に切欠きLを設けることにより、絞り加工が容易となり、取付穴SH1の絞り加工部DRを1/4の円形状とすることができ、取付穴に必要な領域を小さくすることができる。したがって、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。換言すれば、モジュールMDLの小型化を実現しつつ、取付穴SHをモジュールMDLのコーナーから所定の距離離れた中間部に設けることができる。

【0115】《回路基板PCB1～3》図26は、表示パネルPNLの外周部に回路基板PCB1～3を実装した状態を示す下面図と各断面図、図24は、表示パネルPNLと回路基板PCB1～3とがシールドケースSHD内に収納・実装された状態を示す下面図と各断面図、図27は、回路基板PCB1～3の下面図（PCB1と2にTCPが実装されてない状態を示し、PCB3は図24、図26よりも詳細に示す）、図29（A）は電子部品を実装しない状態の回路基板PCB3の下面図、（B）は電子部品を実装した状態の下面図、図31は、回路基板PCB1の下面図（TCPが実装されてない状態を示す）、図32は、回路基板PCB2の下面図（TCPが実装されてない状態を示す）である。

【0116】CHI1、CHI2は表示パネルPNLを駆動させる駆動IC（集積回路）チップ（図26の下側の5個は垂直走査回路側の駆動ICチップ、左側の10個は映像信号駆動回路側の駆動ICチップ）である。TCP1、TCP2は図22、図23で説明したように駆動用ICチップCHIがテープオートメーテッドボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1、PCB2はそれぞれTCPやコンデンサCDS等が実装されたPCB（プリントドサーキットボード）から成る回路基板である。FGPはフレームグラウンドパッド、JN3はドレイン側回路基板PCB1とゲート側回路基板PCB2とを電気的に接続するジョイナ、JN1、JN2はドレイン側回路基板PCB1とインターフェイス回路基板PCB3とを電気的に接続するジョイナである。図35に示すジョイナJN1～3は、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持して構成される。なお、JN1～3は、FPC（フレキシブルプリントドサーキット）を用いて構成することも可能

である。

【0117】すなわち、表示パネルPNLの3方の外周部には表示パネルPNLの回路基板PCB1～3が「コ」の字状に配置されている。表示パネルPNLの1つの長辺（図24では左側）の外周部には表示パネルPNLの映像信号線（ドレイン信号線）に駆動信号を与える駆動ICチップ（ドライバ）CHI1をそれぞれ搭載した複数個のテープキャリアパッケージTCP1を実装したドレイン側回路基板PCB1が配置されている。また、表示パネルPNLの短辺（図24の下側）の外周部には表示パネルPNLの走査信号線（ゲート信号線）に駆動信号を与える駆動ICチップCHI2をそれぞれ搭載した複数個のテープキャリアパッケージTCP2を実装したゲート側回路基板PCB2が配置されている。さらに、表示パネルPNLのもう一方の短辺（図24の上側）の外周部にはインターフェイス回路基板（コントロール回路基板、コンバータ回路基板とも称す）PCB3が配置されている。

【0118】回路基板PCB1～3は、3枚の略長方形に分割されているので、表示パネルPNLと回路基板PCB1～3との熱膨張率の差により回路基板PCB1～3の長軸方向に生じる応力（ストレス）がジョイナJN1～3の箇所でも吸収され、接続強度が弱いテープキャリアパッケージTCPの出力リード（図22、図23のTTM）と液晶表示パネルPNLの外部接続端子（図22、図23のDTM（GTM））の剥がれが防止でき、さらに、テープキャリアパッケージTCPの入力リードの応力緩和にも寄与し、熱に対するモジュールの信頼性を向上できる。このような基板の分割方式は、更に、1枚の「コ」の字状基板に比べて、それぞれが四角形状の単純な形状であるので1枚の基板材料から多数枚の基板PCB1～3が取得でき、プリント基板材料の利用率が高くなり、部品・材料費が低減できる効果がある（本実施例の場合は、約50％に低減できた）。なお、回路基板PCB1～3は、ガラスエポキシ樹脂等から成るPCB（プリントドサーキットボード）の代わりに柔軟なFPC（フレキシブルプリントドサーキット）を使用すると、FPCはたわむのでリード剥がれ防止効果をいっそう高めることができる。また、分割しない一体型の「コ」の字状のPCBを用いることもでき、その場合は工数の低減、部品点数削減による製造工程管理の単純化、回路基板間ジョイナの廃止による信頼性向上に効果がある。

【0119】3枚の回路基板PCB1～3の各グラウンド配線に接続されたフレームグラウンドパッドFGPは、図27に示すように、それぞれ5個、4個、3個設けられ、合計12個設けられている。回路基板が複数に分割されている場合、直流的には駆動回路基板のうち少なくとも1箇所がフレームグラウンドに接続されていれば、電気的な問題は起きないが、高周波領域ではその箇所が少ない

と、各駆動回路基板の特性インピーダンスの違い等により電気信号の反射、グランド配線の電位が振られる等が原因で、EMI（エレクトロ マグネティック インタフィアレンス）を引き起こす不要な輻射電波の発生ポテンシャルが高くなる。特に、薄膜トランジスタを用いたアクティブ・マトリクス方式のモジュールMDIでは、高速のクロックを用いるので、EMI対策が難しい。これを防止するために、複数に分割された各回路基板毎に少なくとも1箇所グランド配線（交流接地電位）をインピーダンスが十分に低い共通のフレーム（すなわち、シールドケースSHD）に接続する。これにより、高周波領域におけるグランド配線が強化されるので、全体で1箇所だけシールドケースSHDに接続した場合と比較すると、本実施例の12箇所の場合は輻射の電界強度で5dB以上の改善が見られた。

【0120】シールドケースSHDのフレームグランド用爪FGNは、前述のように、金属の細長い突起で構成され、折り曲げることで容易に回路基板PCB1〜3のフレームグランドパッドFGPに接続でき、接続用の特別なワイヤ（リード線）が不要である。また、爪FGNを介してシールドケースSHDと回路基板PCB1〜3とを機械的に接続できるので、回路基板PCB1〜3の機械的強度を向上することができる。

【0121】従来は、EMIを引き起こす不要な輻射電波の発生を抑えるために、信号波形をなまらせるための複数の抵抗・コンデンサが、信号源集積回路の近く、あるいは信号の伝送経路の途中などに分散して配置されていた。したがって、信号源集積回路の付近やテーパーリアパッケージ間などに、該抵抗・コンデンサを設けるためのスペースが何箇所も必要なたため、デッドスペースが大きくなり、電子部品を高密度に実装することができなかった。本実施例では、図24に示すように、EMI対策用の複数のコンデンサ・抵抗CRが、インターフェイス回路基板PCB3に設けた信号源集積回路TCON（後で詳細に説明する）から遠い、また、信号源集積回路TCONからの信号を受信するドレイン側回路基板PCB1の駆動ICチップCHI1よりもさらに遠い、複数の駆動ICチップCHI1の信号流れ方向の下流側のドレイン側回路基板PCB1の端部に集中して配置してある。したがって、分散して配置するのに比べ、デッドスペースを低減することができ、電子部品を高密度に実装することができる。したがって、モジュールMDを小型化、軽量化することができ、製造コストを低減することができる。

【0122】《ドレイン側回路基板PCB1》ドレイン側回路基板PCB1は、図24に示すように、表示パネルPNLの長辺の一方側（図24では左側）のみに1枚だけ配置されている。すなわち、映像信号線DLは、走査信号線GLと同様に、液晶表示パネルPNLの片側のみに端下り引き出されている。したがって、表示パネル

PNLの対向する2側の長辺に映像信号線を交互に引き出し、各長辺の外側にそれぞれドレイン側回路基板を配置した構成に比べて、表示部の周囲のいわゆる額縁部の面積を小さくすることができるので、液晶表示モジュールMDおよびこれを表示部として組み込んだパソコン、ワープロ等の情報処理装置（図47参照）の外形寸法を小型化することができ、したがって、軽量化することができる。その結果、材料を低減することができるので、製造コストを低減することができる。なお、このドレイン側回路基板PCB1が配置された側は、図47に示すように、当該モジュールMDをパソコン、ワープロ等に実装したときに、画面の上側に配置される位置である。このため、ノートブック型のパソコン、ワープロでは、通常、画面の下部に、表示部をキーボード部に取り付けるためのヒンジを設けるためのスペースが必要であるので、ドレイン側回路基板を画面の上側に配置することにより、画面の上下位置が適切となる。なお、図31において、JP11はジョイナJN1が接続されるパッド、JP12はジョイナJN2が接続されるパッド、JP13はジョイナJN3が接続されるパッドである。

【0123】映像信号線が液晶表示パネルの上下に交互に引き出され、2枚のドレイン側回路基板が液晶表示パネルの外周部の上下両側に配置されていた従来のモジュールでは、外部のパソコン等から入って来て当該モジュール内を流れる信号の流れに沿って電子部品が配置されたため、インターフェイス回路基板の中央部に、パソコン等と接続するためのコネクタと、信号源集積回路TCONが配置されていた。本実施例のように、ドレイン側回路基板PCB1を液晶表示パネルPNLの片側に配置した場合、従来方式のように信号の流れに沿った電子部品配置を取ると、インターフェイス回路基板PCB3のドレイン側回路基板PCB1から遠い方の端部、すなわち、シールドケースSHDのコーナーに一番近い端部にコネクタCTを配置し（図24参照。なお、本実施例では、シールドケースSHDのコーナーに配置してない）、その次に、該コーナーから離れる方向の隣に信号源集積回路TCONを配置するというレイアウトとなる。ここで、コネクタCTを回路基板PCB3の一番端、すなわち、シールドケースSHDのコーナーに配置しようすると、コネクタCTの上はパソコン等と接続するため、下側ケースMCAで覆うことができないので（図37に示す下側ケースMCAの切欠きMLCがコネクタCTの上に位置する）、取付穴SH4を有するシールドケースSHDのコーナーを、一致する取付穴MH4を有する下側ケースMCAで覆うことができなくなり、機械的強度が低下してしまう。そこで、本実施例では、図24に示すように、高さの低い信号源集積回路TCONを回路基板PCB3の一番端、すなわち、シールドケースSHDのコーナー近傍の回路基板PCB3上に配置し、コーナー近傍を下側ケースMCAで覆うことができ



るようにし、該コーナーから離れる方向の隅にコネクタCTを配置している。すなわち、取付穴SH4を設けたシールドケースSHDのコーナー近傍が、一致する取付穴MH4を設けたド側ケースMCAによって覆われるので、モジュールMDLをパソコン等の情報処理装置へ実装すると、モジュールMDLのシールドケースSHDおよびド側ケースMCAのコーナーが両者の取付穴SH4および取付穴MH4を介してねじ等によりしっかりと押さえられ、固定されるため、機械的強度が向上し、製品の信頼性が向上する。なお、図47に示すように、パソコン等から入って来る信号は、まず、コネクタCTから一旦信号源集積回路TCNへ行き、その後、ドレイン側回路基板PCB1の駆動ICチップCHI1の方へ流れる。したがって、信号の流れが整っているため、無駄な信号の流れをなくすることができるので、無駄な配線を少なくすることができ、回路基板の面積を小さくすることができる。

【0124】また、図24に示す実施例では、信号源集積回路TCNおよびコネクタCTが、インターフェイス回路基板PCB3上でドレイン側回路基板PCB1との接続側（ジョイナJN1、JN2のある側）と反対側に設けられている。したがって、図47に示すように、液晶表示モジュールMDLをそのドレイン側回路基板PCB1がない側をヒンジと対向する側にして、パソコン、ワープロ等を実装することにより、ホストとの接続ケーブルを短くすることができる。その結果、ホストと液晶表示モジュールMDLとの接続ケーブルから侵入するノイズを低減することができる。また、ホストと信号源集積回路TCN間の接続も最短にすることができるので、ノイズの侵入に対しさらに強くすることができる。さらに、波形のなまり遅延に対しても強い。

【0125】《ゲート側回路基板PCB2》図32は、回路基板PCB2の平面（下面）図である。JP23はジョイナJN3が接続されるパッドである。

【0126】《テープキャリアパッケージTCP》図33は、集積回路チップCHI1が搭載されたテープキャリアパッケージTCPの平面（下面）図である。

【0127】テープキャリアパッケージTCPの構造および液晶表示パネルPNLとの接続構造については、《外部回路との接続構造》のところで、断面図である図22および図23を用いて既に説明した。

【0128】パッケージTCPの平面形状は、図33に示す。端子部TM、TBの外形幅が小さいのは、狭端子ピッチ化に対応している。すなわち、表示パネルPNLと接続される出力端子部TMの寸法は、パネルPNLの入力端子のピッチに合わせてあり、回路基板PCB1あるいはPCB2と接続される入力端子部TBと接続される入力端子部TBの寸法は、回路基板PCB1あるいはPCB2の出力端子のピッチに合わせてある。

【0129】なお、出力端子部TM、入力端子部TBの

いずれか一方の幅を最外形幅より小さくしてもよい。

【0130】図34は、回路基板PCB1、PCB2上に、テープキャリアパッケージTCPを複数枚実装した様子を示す平面（下面）図、側面図である。

【0131】《インターフェイス回路基板PCB3》図29（A）はインターフェイス回路基板PCB3の上面図（コネクタCT、ハイブリッド集積回路HIを実装した図）、（B）は信号源集積回路TCN、IC、コンデンサ、抵抗等の部品を実装した上面図（点線部にコネクタCT、ハイブリッド集積回路HIが実装される）である。インターフェイス回路基板PCB3には、IC、コンデンサ、抵抗等の電子部品の他、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路が搭載されている（図12参照）。CTは当該モジュールMDが実装されるパソコン等の情報処理装置と接続されるコネクタ、TCNは信号源集積回路で、ホストから送られてくる画像情報をデータ処理して液晶駆動用信号に変換するとともに、タイミングパルスを生じ、ゲート側回路基板PCB2、ドレイン側回路基板PCB1を駆動制御し、液晶表示装置にデータを表示する。JP31はジョイナJN1が接続される接続部、JP32はジョイナJN2が接続される接続部である。

【0132】《回路基板PCB1～3 どちらの電気的接続》図36は、ドレイン側回路基板PCB1とインターフェイス回路基板PCB3とを電気的に接続するジョイナJN1とJN2を2段重ねて実装した状態を示す平面図と側面図である。

【0133】近年、カラー液晶表示装置の多色化の進行に伴って、赤、緑、青の階調を指定する映像信号線の本数が増加し、さらに、階調電圧の数が増加することにより、当該モジュールが組み込まれるパソコン等のセット側と当該モジュール間のインターフェースの機能を有する部分が複雑化し、特にドレイン側回路基板とインターフェイス回路基板間の電気的接続が難しくなっている。また、液晶表示装置の色数の急速な増加に伴う映像信号線数の増加以外に、色数に比例して増加する階調電圧、クロック、電源電圧をも接続するため、接続線数は非常に多くなっている。

【0134】図24に示すように、2枚のドレイン側回路基板PCB1、インターフェイス回路基板PCB3とが隣接するシールドケースSHDのコーナーにおいて、回路基板PCB1と回路基板PCB3の隣接する各端部に各接続線が引き出され、かつ2列ずつ4列に配列された数の多い端子どうしを、回路基板の厚さ方向に2段に重ねて配置した2枚のジョイナJN1とJN2を用いて電気的に接続している。このように回路基板どうしを接続するのに、モジュールMDLの厚さ方向のスペースを有効活用し、多段に設けたジョイナを用いることによ

り、接続線端子数が多い場合でも小さなスペースで接続ができるので、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。図36において、JT1はジョイナJN1の端子、JT2はジョイナJN2の端子、PT1は回路基板PCB1の接続端子、PT3は回路基板PCB3の接続端子である。

【0135】なお、ジョイナを多段に配置するのは2段に限らず、3段以上でも可能である。また、ドレイン側回路基板PCB1とゲート側回路基板PCB2との電気的接続は、1枚のジョイナJN3（図1参照）を用いているが、ここも多段に重ねて設けた複数枚のジョイナにより接続してもよい。

【0136】モジュールMDLの取付穴は、モジュールMDLのコーナーに配置するのが通常である。しかし、回路基板PCB1、PCB3間の電気的接続をジョイナJNを用いて取ろうとすると、図46に示すように、片方の回路基板PCB3の形状は四角形状ではなく、飛び出し部のある特殊な形状になる。このような形状は、回路基板の板取り効率が悪く、回路基板の材料費が向上する。このため、本実施例では、図24に示すように、シールドケースSHDの取付穴SH1およびSH2（および対応する下側ケースMCAの取付穴MH1およびMH2）をモジュールMDLすなわちシールドケースSHDのコーナーからずらすことにより、ジョイナJNを接続するためのスペースを、回路基板PCB1、PCB2、PCB3が略四角形状のままで確保することができるので（回路基板PCB3には取付穴SH1のための切欠きが形成されている）、回路基板の板取り効率が良く、回路基板の材料費を低減することができる。

【0137】《インターフェイス回路基板PCB3上に2階建に実装したハイブリッド集積回路H1と電子部品EP》図30は、インターフェイス回路基板PCB3に搭載したハイブリッド集積回路H1の横断面図、前側面図である。

【0138】図24に示すハイブリッド集積回路H1は、回路の一部をハイブリッド集積化し、小さな回路基板の上面および下面に複数個の集積回路や電子部品が実装されて構成され、インターフェイス回路基板PCB3上に1個実装されている。図30に示すように、ハイブリッド集積回路H1のリードH1Lを長く形成し、回路基板PCB3とハイブリッド集積回路H1との間の回路基板PCB3上にも電子部品EPが複数個実装されている。従来は、部品点数が多い場合に、部品を実装した回路基板を多段に重ね、かつ、ジョイナを用いて回路基板どうしを接続していたが、この従来技術に比べ、本実施例では、ハイブリッド集積化することにより、電子部品の点数を低減することができ、また、別の回路基板およびジョイナが不要なので（ハイブリッド集積回路H1のリードH1Lがジョイナに相当する）、材料費用を低減することができ、かつ、作業工程数を減少することができ

る。したがって、製造コストを低減することができると共に、製品の信頼性を向上することができる。

【0139】《絶縁シートINS》金属製シールドケースSHDと回路基板PCB1～3との間には、両者の絶縁のため、図28に示す絶縁シートINS1～3が配置されている。LTは、絶縁シートINS1～3と液晶表示パネルPNLとを接着する両面粘着テープ、STは絶縁シートINS1～3とシールドケースSHDとを接着する両面粘着テープである。

【0140】《下側ケースMCA》図37は、下側ケースMCAの上面図、上側面図、後側面図、右側面図、左側面図、図38は、下側ケースMCAの下面図である。

【0141】モールド成型により形成した下側ケースMCAは、蛍光管LP、ランプケーブルPC、導光板GLB等の保持部材、すなわち、バックライト収納ケースであり、合成樹脂で1個の型で一体成型することにより作られる。下側ケースMCAは、《シールドケースSHD》のところで詳述したように、金属製シールドケースSHDと、各固定部材と弾性体の作用により、しっかりと合体するので、モジュールMDLの耐振動衝撃性、耐熱衝撃性が向上でき、信頼性を向上できる。

【0142】下側ケースMCAの底面には、周囲の枠状部分を除く中央の部分に、該面の半分以上の面積を占める大きな開口MOが形成されている。これにより、モジュールMDLの組み立て後、液晶表示パネルPNLと、導光板GLB間のゴムクッションGC（図42参照）の反発力により、下側ケースMCAの底面に上面から下面に向かって垂直方向に加わる力によって、下側ケースMCAの底面がふくらむのを防止でき、最大厚みを抑えることができる。したがって、ふくらみを抑えるために、下側ケースの厚さを厚くしなくて済み、下側ケースの厚さを薄くすることができるので、モジュールMDLを薄型化、軽量化することができる。

【0143】MLCは、インターフェイス回路基板PCB3の発熱部品、本実施例では、ハイブリッドIC化した電源回路（DC-DCコンバータ）等の実装部に対応する箇所の下側ケースMCAに設けた切欠き（図27に示すコネクタCT接続用の切欠きを含む）である。このように、回路基板PCB3上の発熱部を下側ケースMCAで覆わずに、切欠きを設けておくことにより、インターフェイス回路基板PCB3の発熱部の放熱性を向上することができる。すなわち、現在、薄膜トランジスタTFETを用いた液晶表示装置を高性能化し、使い易さを向上するため、多階調化、単一電源化が要求されている。これを実現するための回路は、消費電力が大きく、また、回路手段をコンパクトに実装しようとする、高密度実装となり、発熱が問題となる。したがって、下側ケースMCAに発熱部に対応して切欠きMLCを設けることにより、回路の高密度実装性、およびコンパクト性を向上することができる。この他にも、信号源集積回路TCO

Nが発熱部品と考えられ、この上の下側ケースMCAを切り欠いてもよい。

【0144】MH1~4は、当該モジュールMDをパソコン等の応用装置に取り付けるための4個の取付穴である。金属製シールドケースSHIDにも、下側ケースMCAの取付穴MH1~4に一致する取付穴SH1~4が形成されており、ねじ等を用いて応用製品に固定、実装される。

【0145】《バックライトBL》図40(A)はバックライトBLの蛍光管LP、ランプケーブルLPC1、LPC2、ゴムブッシュGB1、GB2の要部上面図、(B)は(A)のB-B切断線における断面図である。

【0146】表示パネルPNLに光を供給するバックライトBLは、1本の冷陰極蛍光管LP、蛍光管LPのランプケーブルLPC1、LPC2、蛍光管LPおよびランプケーブルLPCを保持するゴムブッシュGB1、GB2、導光板GLB、導光板GLBの上面全面に接して配置された拡散シートSPS、導光板GLBの下面全面に配置された反射シートRFS、拡散シートSPSの上面全面に接して配置されたプリズムシートPRSから構成される。

【0147】モジュールMDL内において、細長い蛍光管LPは、液晶表示パネルPNLの長辺の一方に実装されたドレイン側回路基板PCB1およびテープキャリアパッケージTCPIの下のスペースに配置されている。これにより、モジュールMDLの外形寸法を小さくすることができるので、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。

【0148】ゴムブッシュGB1、GB2は、1本の冷陰極蛍光管LPとランプケーブルLPC1、LPC2の両方を保持する。すなわち、蛍光管LPは、ゴムブッシュGB1、GB2にあげられた穴(内径の大きい穴と小さい穴を連結した図40(B)に示すような略鍵穴形状)GBHの内径の大きい方の穴H1に挿入されて保持され、蛍光管LPの一端に接続されたランプケーブルLPC1は、ゴムブッシュGB2に設けられた溝GBD内に挿入されて保持され、さらに、ランプケーブルLPC1と同一方向に引き出されるランプケーブルLPC2は、ケーブル引出側のゴムブッシュGB2の穴GBHの内径の小さい方の穴H2に挿入されて保持される。なお、穴GBHの主体はゴムブッシュGB1、GB2を貫通していないが、少なくともケーブル引出側のゴムブッシュGB2には、ランプケーブルLPC2をゴムブッシュGB2から引き出すために、穴GBHの小さい穴H2に連通して内径の小さい貫通穴が形成されている。このような構成により、2本のランプケーブルを1方向に引き出すとき、従来技術では、ランプケーブルを通すスペースがなく、かつ、ランプケーブルをゴムブッシュに通さないため、ランプケーブルがモジュールからはみ出したが、本実施例では、ランプケーブルLPC1が下側ケ

ースMCAからはみ出さないで、モジュールMDLを省スペース化することができ、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。また、ゴムブッシュGB1、GB2によって蛍光管LPとランプケーブルLPCの両方を保持するので、ランプケーブルLPCの保持力によって、蛍光管LPを保持しているゴムブッシュGB1、GB2が保持されるので、蛍光管LPの保持性を向上することができる。なお、ゴムブッシュGB1は蛍光管LPと1本のランプケーブルLPC1を保持し、ゴムブッシュGB2は蛍光管LPと2本のランプケーブルLPC1、LPC2を保持するが、部品の種類を減らすために、ゴムブッシュGB1はゴムブッシュGB2と同様の形状のものを共用している。

【0149】なお、蛍光管LPとランプケーブルLPCを保持するための、ゴムブッシュGB1、GB2に設ける穴あるいは溝の形状は、図示したものに限らない。例えば、蛍光管LP、2本のランプケーブルLPCを保持する穴あるいは溝はそれぞれ独立に設けてもよいし、蛍光管LPと1本または2本のランプケーブルLPCの穴あるいは溝を適宜共通させてもよい。また、ゴムブッシュGB1は蛍光管LPと1本のランプケーブルLPC1を保持する穴あるいは溝を有し、ゴムブッシュGB2は蛍光管LPと2本のランプケーブルLPC1、LPC2を保持する穴あるいは溝を有するように、ゴムブッシュGB1とゴムブッシュGB2とで異なる形状のものを使用してもよい。

【0150】《蛍光管LP、ランプケーブルLPC、ゴムブッシュGBの下側ケースMCAへの収納》図39(A)は、下側ケースMCA内にバックライトBL(蛍光管LP、ランプケーブルLPC、ゴムブッシュGB、導光板GLB)が収納・実装された状態を示す上面図、(B)は(A)のB-B切断線における断面図、(C)は(A)のC-C切断線における断面図である。

【0151】下側ケースMCAの内面(上面)を示す図37において、MBは導光板GLBの保持部、MLは蛍光管LPの収納部、MCはゴムブッシュGBの収納部、MC1はランプケーブルLPC1の収納部、MC2はランプケーブルLPC2の収納部である。

【0152】バックライトBLは、図39(A)~(C)に示すように、バックライト収納ケースである下側ケースMCA内に収納される。すなわち、蛍光管LPとランプケーブルLPCとを保持したゴムブッシュGB1、GB2は、ゴムブッシュGB1、GB2がびったりはまるように形成された図37に示す収納部MGにはめ込まれ、蛍光管LPは下側ケースMCAと非接触で収納部ML内に収納される。ランプケーブルLPC1、LPC2は、ランプケーブルLPC1、2の形状にほぼびたり合うように下側ケースMCAに形成された溝から成る収納部MC1、MC2に収納される。インバータIVに

接続される先端部に近い、すなわち、ゴムブッシュGB 2以降の、ランプケーブルIPC1、ランプケーブルIPC2は、回路基板PCB2の長軸方向から回路基板PCB2の反軸方向にほぼ垂直に方向を変え（図1、図3参照）、取付穴MH3（図3参照）と回路基板PCB2との間のスペースに収納される。ランプケーブルIPC1、LP2の先端部にはインバータIVが接続され、インバータIVは、図39（A）に示すように、回路基板PCB2の横に設けたインバータ収納部MIに収納される。このように、モジュールMDをパソコン等の

応用製品に組み込んだ場合、ランプケーブルIPCがモジュールの外側の側面を通ったり、インバータIVがモジュールMDの外側にはみ出ることなく、バックライトBLの蛍光管LP、ランプケーブルIPC、ゴムブッシュGB、インバータIVをコンパクトに収納、実装することができ、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。

【0153】なお、本実施例では蛍光管LPを1本配置したが、2本以上配置してもよく、また、設置場所も導光板GLBの短辺側に設置してもよい。

【0154】《導光板GLBの下側ケースMCAへの収納》図41は、下側ケースMCA、導光板GLB、蛍光管LP、ランプケーブルIPC等の要部断面図である。

【0155】従来の導光板は、モジュール内での保持用の無駄な領域が多く、有効発光部の寸法より大幅に大きかったが、本実施例の導光板GLBは、図39（A）に示すように四角形状（長方形）をしており、導光板GLBの全体の寸法を、発光部の寸法にできる限り近づけている。導光板GLBの3辺は、ほぼびつたりはまるように形成された下側ケースMCAの導光板用収納部の内壁に保持され、蛍光管LP側の導光板GLBの残りの1辺は、導光板GLBと蛍光管LPとの間の下側ケースMCAの内面（上面）におけるゴムブッシュGB近傍に、該下側ケースMCAと一体に形成された2個の微小な突起（爪）PJによって保持される。突起PJにより、導光板GLBの蛍光管LP側への移動を防止し、導光板GLBが蛍光管LPに当たって蛍光管LPを破損するのが防止される。なお、ランプ反射シートLSは取り付けの前は長方形をしており、取り付け後は、ランプ反射シートLSの長辺の端部が反射シートRFSの下面端部に接合され、蛍光管LPを全長に渡って覆い、もう一方の長辺の端部がプリズムシートPRSの上面端部に載置され、保持される。ランプ反射シートLSは、断面形状がじ字状で、突起PJの内側に配置されるような長さに形成されている。突起PJは、光の利用効率をなるべく低減させないために、なるべく微小に形成する。

【0156】このように導光板GLBの寸法を有効発光部の寸法にできる限り近づけ、できる限り小さくすることにより、従来の導光板の占めていたスペースに電子部品を実装することができ、かつ、下側ケースMCAと一

体に設けた突起PJにより導光板GLBを保持することにより、小さいスペースで導光板GLBを保持することができるので、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。換言すれば、モジュールMDLの小型化を実現しつつ、導光板GLBの発光効率を向上することができる。

【0157】なお、突起PJは、必ずしも下側ケースMCAと一体に設けなくてもよく、金属等の別部材で形成した突起を下側ケースMCAに取り付けてもよい。

【0158】《拡散シートSPS》拡散シートSPSは、導光板GLBの上に載置され、導光板GLBの上面から発せられる光を拡散し、液晶表示パネルPNLに均一に光を照射する。

【0159】《プリズムシートPRS》プリズムシートPRSは、拡散シートSPSの上に載置され、下面は平滑面で、上面がプリズム面となっている。プリズム面は、例えば、互いに平行な直線状に配列された断面形状がV字状の複数本の溝から成る。プリズムシートPRSは、拡散シートSPSから広い角度範囲にわたって拡散される光をプリズムシートPRSの法線方向に集めることにより、バックライトBLの輝度を向上させることができる。したがって、バックライトBLを低消費電力化することができ、その結果、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。

【0160】《反射シートRFS》反射シートRFSは、導光板GLBの下に配置され、導光板GLBの下面から発せられる光を液晶表示パネルPNLの方へ反射させる。

【0161】《導光板GLBおよび液晶表示パネルPNLの押さえ構造》図42は、導光板GLBおよび液晶表示パネルPNLの押さえ構造を示すモジュールMDLの要部断面図である。

【0162】図42に示すように、プリズムシートPRSと拡散シートSPSの寸法が導光板GLBの寸法より大きく、プリズムシートPRSと拡散シートSPSの端部が導光板GLBの端部より出ており（オーバーハングさせ）、下側ケースMCAの側壁の上にかかっている。このプリズムシートPRSと拡散シートSPSのオーバーハング部と下側ケースMCAの側壁の上にゴムクッションGCとゴムから成る遮光スペーサILSが配置され、液晶表示パネルPNLの上部透明ガラス基板SUB2を加圧し、保持するようになっている（後述の《液晶表示パネルPNLの押さえ構造》と図44参照）。これにより、プリズムシートPRSと拡散シートSPSの両方あるいは拡散シートSPSが、導光板GLBと下側ケースMCAとの間の隙間に入り込み、導光板GLBのかたつきが防止され、導光板GLBがモジュールMDL内ですっきりと保持される。図42に示す構造により、ゴムクッションGCおよび遮光スペーサILSの圧力がプ

リズムシートPRSと拡散シートSPSを介して下側ケースMCAに加わり、液晶表示パネルPNLがモジュールMDL内で確実に保持され、導光板GLB、液晶表示パネルPNL等の保持力が向上し、製品の信頼性を向上することができる。

【0163】ここでは、プリズムシートPRSと拡散シートSPSの両方を導光板GLBからオーバーハングさせたが、いずれか一方をオーバーハングさせてもよい。また、ここでは、導光板GLBの4辺全周にオーバーハングさせたが、必ずしも4辺全周にオーバーハングさせなくてもよく、1〜3辺だけでも効果がある。

【0164】《液晶表示パネルPNLの押さえ構造》図45は、従来の液晶表示モジュールMDLにおける液晶表示パネルPNLの押さえ構造を示す要部断面図である。図44は、本発明の一実施例の液晶表示モジュールMDLにおける液晶表示パネルPNLの押さえ構造を示す要部断面図である。

【0165】従来の液晶表示モジュールMDLにおいては、図45に示すように、液晶表示パネルPNLをモジュールMDL内で固定するのに、液晶表示パネルPNLを構成する2枚の透明ガラス基板の両方をゴムクッションGCを介して押さえ込んでいた。すなわち、《シールドケースSHD》のところで詳述したように、ゴムクッションGCの弾性を利用して、シールドケースSHDを筐体内部方向に押し込むことにより、シールドケースSHDと下側ケースMCAの各固定部材により固定される（すなわち、固定用フックHKGが固定用突起HPに引っかかり、また、固定用爪NLが内側に折り曲げられ、固定用凹部NRに挿入される）。したがって、従来は、2枚の透明ガラス基板がゴムクッションGCを介して強く押されるので、液晶表示パネルPNLの2枚の透明ガラス基板間の液晶のギャップが部分的に変化し、表示むらが生じる。したがって、液晶表示パネルPNLをあまり強く押さえることができず、機械的強度が十分確保できなかった。これに対して、本発明では、図44に示すように、液晶表示パネルPNLを構成する2枚の透明ガラス基板の寸法を変え、すなわち、端子が配置されていない辺（インターフェイス回路基板PCB3側の辺）についても、透明ガラス基板をもう一方の透明ガラス基板より突出させて、液晶表示パネルPNLの3辺にわたって1枚ガラス板部を設け、片方の透明ガラス基板のみを該1枚ガラス板部に載せたゴムクッションGCを介して押さえるので、強く押さえても2枚の透明ガラス基板間のギャップが変化せず、表示むらが生じない。したがって、液晶表示パネルPNLの押さえ力を増すことができ、したがって、機械的強度が向上し、信頼性を向上できる。また、液晶表示パネルPNLの1枚ガラス板部の上面と金属製シールドケースSHDの下面（内面）との間には、両面粘着テープBATが介在され、両者が固定されている。なお、図44は、液晶表示パネルPNLの

押さえ構造の概略を示す図で、実際は、ゴムクッションGCと下側ケースMCAの間には導光板GLBが配置されている。

【0166】なお、図44に示した実施例では、先に述べたプリズムシートPRSをオーバーハングさせることに限定されるものではないので、プリズムシートPRSを導光板GLBにオーバーハングさせていない。

【0167】以上本発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0168】

【発明の効果】以上説明したように、本発明によれば、金属製シールドケースの側面に一体に設けた爪を、グラウンド配線に接続した回路基板のフレームグランドパッドと接続したので、有害な輻射電波の発生を抑制することができ、かつ、爪の折り曲げと半田付けの作業性を向上することができ、接続信頼性を向上することができ、また、当該液晶表示装置のケースのコーナーが取付穴を介してねじ等によりしっかりと押さえられ、固定されるため、機械的強度が向上し、製品の信頼性が向上する。さらに、EMI対策用の複数の電子部品を回路基板上に集中して配置したので、デッドスペースを低減することができ、電子部品を高密度に実装することができ、したがって、当該液晶表示装置を小型化、軽量化することができ、製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明を適用したアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示モジュールの分解斜視図である。

【図2】液晶表示部の一面素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1面素とその周辺を示す断面図である。

【図4】図2の4-4切断線における付加容量Caddの断面図である。

【図5】図2に示す面素を複数配置した液晶表示部の要部平面図である。

【図6】図2に示す面素の層g2、ASのみを描いた平面図である。

【図7】図2に示す面素の層d1、d2、d3のみを描いた平面図である。

【図8】図2に示す面素の面素電極ITO1、透光膜BMおよびカラーフィルタ層FILのみを描いた平面図である。

【図9】図5に示す面素配列の面素電極、透光膜およびカラーフィルタ層のみを描いた要部平面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接

統部付近を示す平面と断面の図である。

【図12】アクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図13】図2に示す画素の等価回路図である。

【図14】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図17】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図18】図17の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図19】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図20】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図21】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図22】駆動回路を構成する集積回路チップCIIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図23】テープキャリアパッケージTCPを表示パネルPNLの映像信号用端子DTMに接続した状態を示す要部断面図である。

【図24】シールドケースSHD内に液晶表示パネルPNLと回路基板PCB1～3が組み込まれた下面図、A-A切断線における断面図、B-B切断線における断面図、C-C切断線における断面図、D-D切断線における断面図である。

【図25】シールドケースSHDの上面図、前側面図、後側面図、右側面図、左側面図である。

【図26】液晶表示パネルPNLと、テープキャリアパッケージTCPを実装した回路基板PCB1～3の下面図、A-A切断線における断面図、B-B切断線における断面図、C-C切断線における断面図、D-D切断線における断面図である。

【図27】テープキャリアパッケージTCPを実装しない回路基板PCB1～3の詳細下面図である。

【図28】絶縁シートINS1～3の上面図、A-A切断線における断面図、B-B切断線における断面図、C-C切断線における断面図である。

【図29】(A)はインターフェイス回路基板PCB3の上面図、(B)は下面図である。

【図30】インターフェイス回路基板PCB3に搭載したハイブリッド集積回路HIの横側面図、前側面図であ

る。

【図31】ゲート側回路基板PCB1の下面図である。

【図32】ゲート側回路基板PCB2の下面図である。

【図33】テープキャリアパッケージTCPの平面（下面）図である。

【図34】複数枚実装したTCPの平面（下面）図、側面図である。

【図35】(A)、(B)、(C)はそれぞれジョイナJN1～3の平面図である。

【図36】実装したジョイナJN1、JN2の平面図、側面図である。

【図37】下側ケースMCAの上面図、前側面図、後側面図、右側面図、左側面図である。

【図38】下側ケースMCAの下面図である。

【図39】(A)は下側ケースMCA内に収納した導光板GLB、蛍光管LP、ゴムプッシュGB等の上面図、(B)はB-B切断線における断面図、(C)はC-C切断線における断面図である。

【図40】(A)はバックライトBL（蛍光管LP、ランプケーブルLPC、ゴムプッシュGB）の要部上面図、(B)はA-A切断線における断面図である。

【図41】下側ケースMCA内に収納したバックライトBL（導光板GLB、蛍光管LP等）の要部断面図である。

【図42】導光板GLBと液晶表示パネルPNLの押さえ構造を示す液晶表示モジュールMDの要部断面図である。

【図43】液晶表示パネルPNLと、テープキャリアパッケージTCPを実装した回路基板PCB1～3とゴムクッションGCの下面図である。

【図44】シールドケースSHD、液晶表示パネルPNL、ゴムクッションGC、下側ケースMCAの実装状態を示す要部断面図である。

【図45】シールドケースSHD、液晶表示パネルPNL、ゴムクッションGC、下側ケースMCAの従来の実装状態を示す要部断面図である。

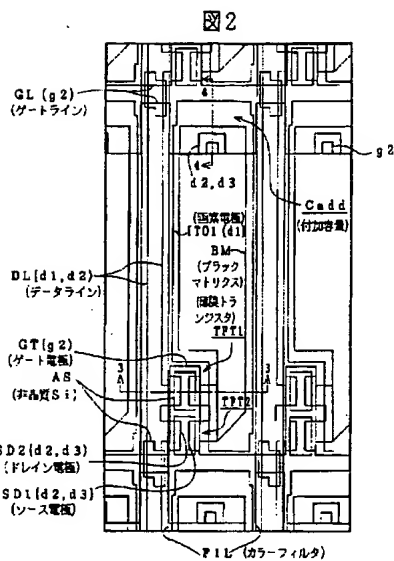
【図46】従来の液晶表示モジュールMDLの取付穴SHを示す図である。

【図47】液晶表示モジュールMDLを実装したノートブック型のパソコン、あるいはワープロの斜視図である。

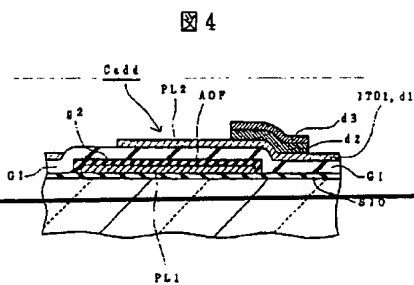
【符号の説明】

SHD…金属製シールドケース、FGN…爪、PCB1～3…回路基板、FGP…フレームグラウンドパッド、MDL…液晶表示モジュール、SH…取付穴、MCA…下側ケース、MH…取付穴、PCB3…インターフェイス回路基板、CT…コネクタ、TCN…信号源集積回路、CR…コンデンサ・抵抗、HI3…信号源集積回路、CHI1…駆動ICチップ。

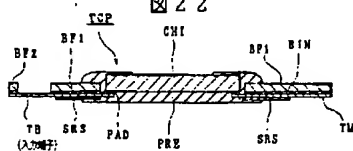
【図2】



【図 4】

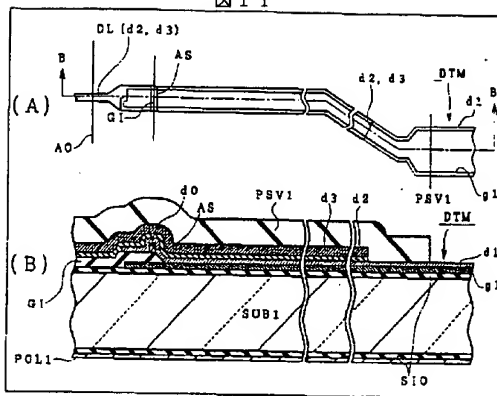


22



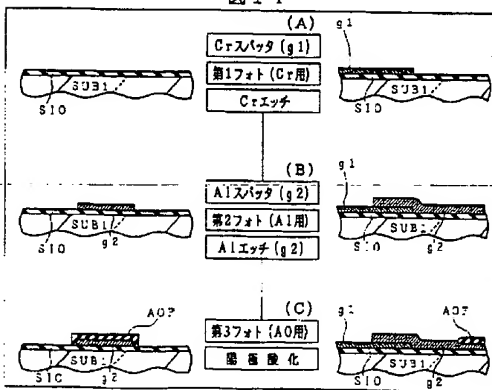
【図11】

図11



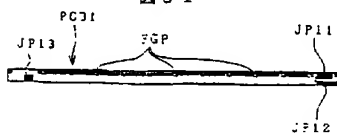
【図14】

図14



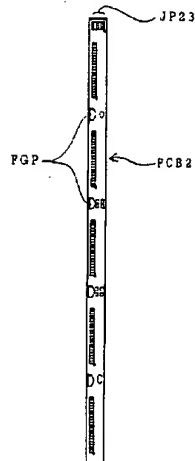
【図31】

図31



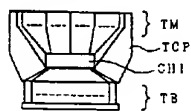
【図32】

図32



【図33】

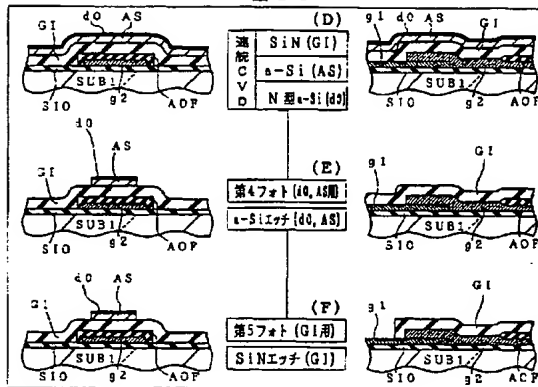
図33





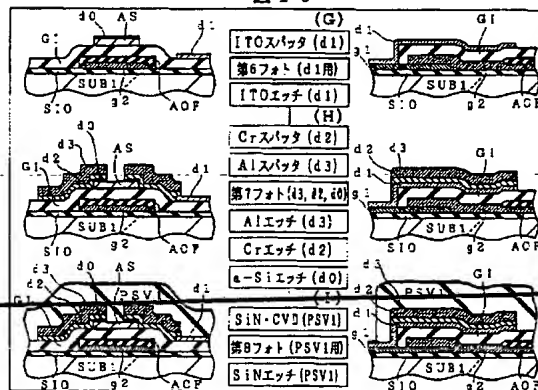
【図15】

図15



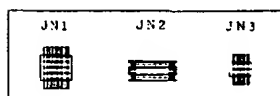
【図16】

図16



【図35】

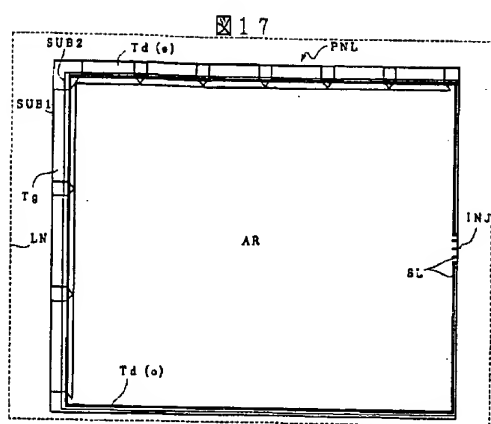
図35



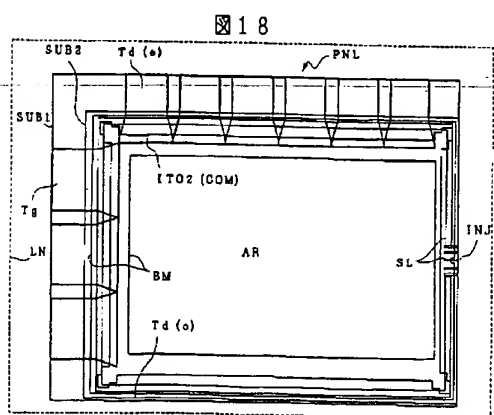
(26)

特開平7-281161

【図17】



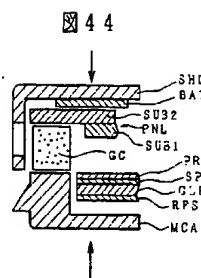
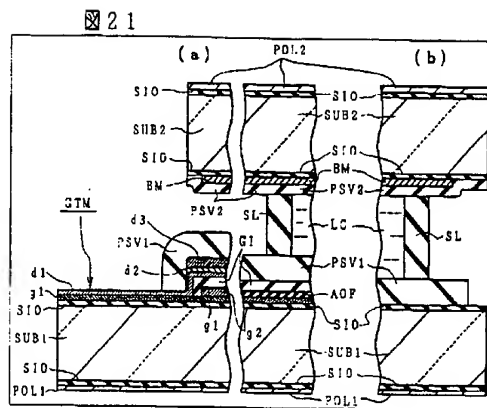
【図18】





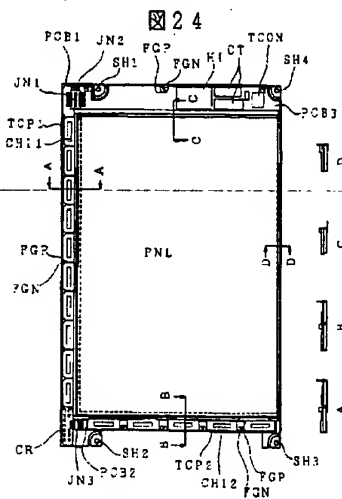
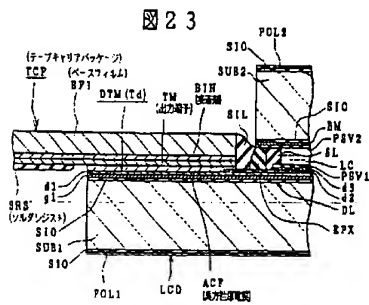
【图 2-1】

【图 4-4】



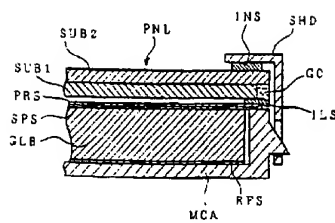
【图 23】

【図24】

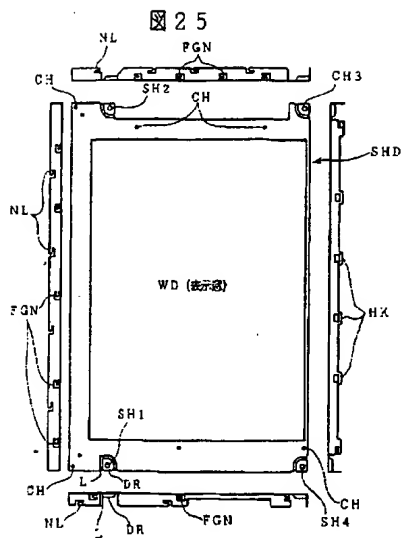


【圖 4 2】

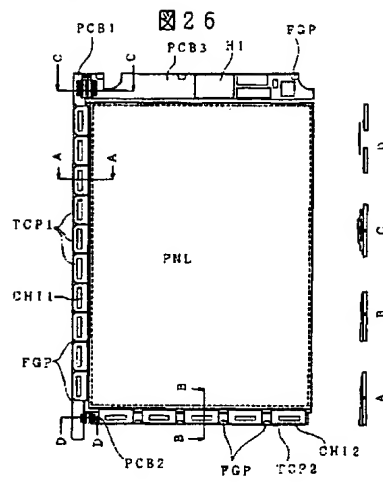
42



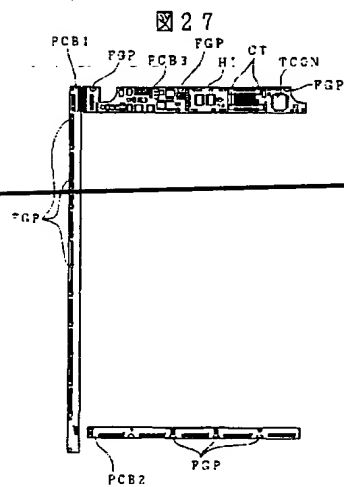
【例 25】



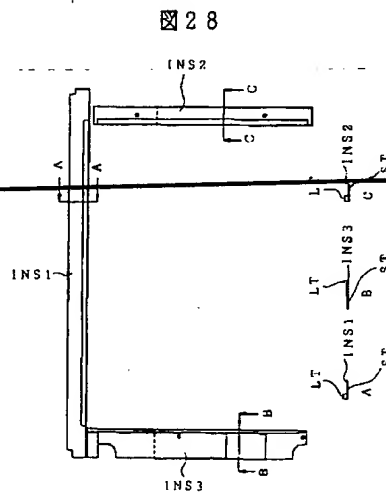
【圖 26】



【圖 27】

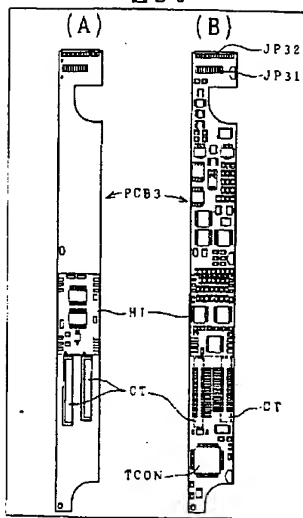


【图 28】



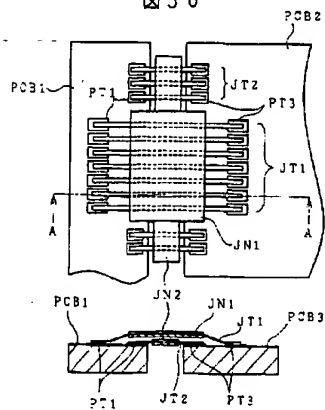
【図29】

図29



【図36】

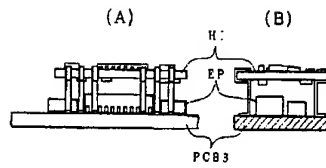
図36



JN1...ジョイナ JT1...端子  
 JN2...ジョイナ JT2...端子  
 PCB1, 3...PCB

【図30】

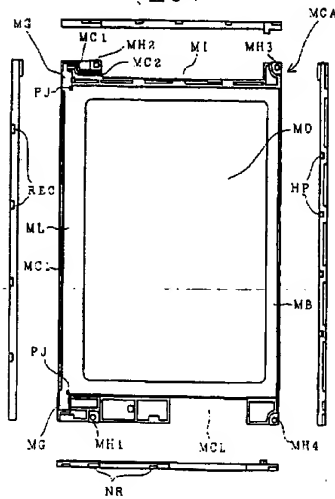
図30



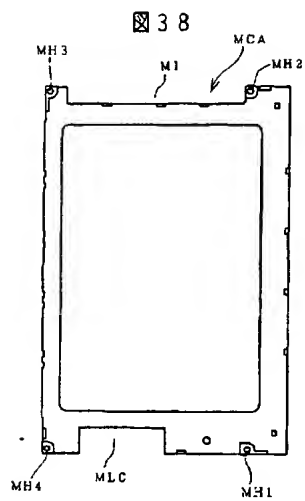
H1...ハイブリッド実装回路  
 EP...電子部品  
 PCB3...回路基板

【図37】

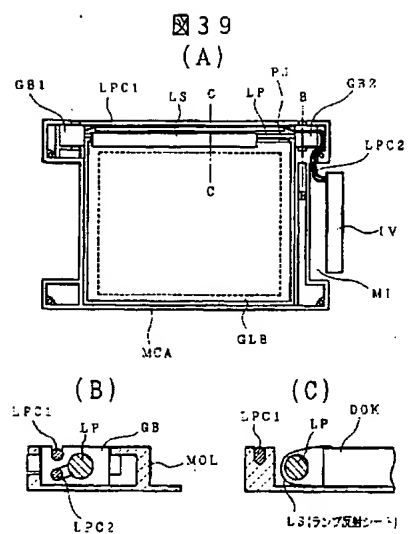
図37



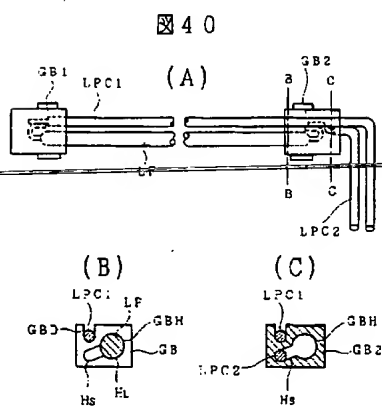
【図38】



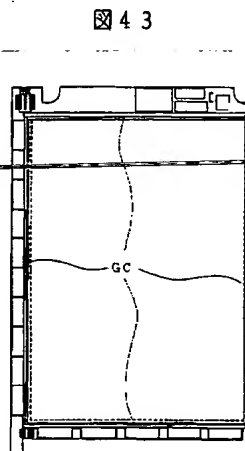
【図39】



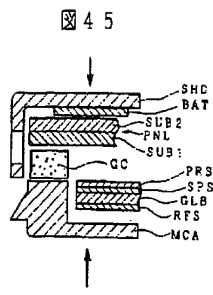
【図40】



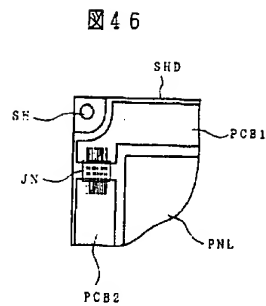
【図43】



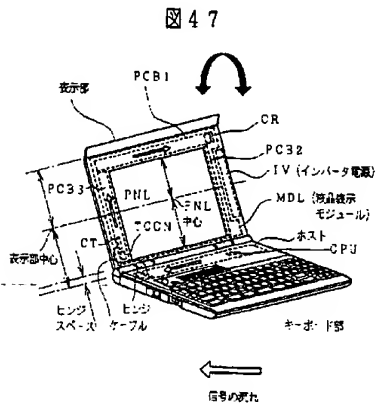
【図45】



【図46】



【図47】



フロントページの続き

(72)発明者 小林 直人  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 長谷川 薫  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内